

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Gi-tae Jeong
Serial No.: To Be Assigned
Filed: Concurrently Herewith
For: MEMORY DEVICES, SENSE AMPLIFIERS, AND METHODS OF OPERATION
THEREOF USING VOLTAGE-DEPENDENT CAPACITOR PRE-
AMPLIFICATION

Date: August 22, 2003

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

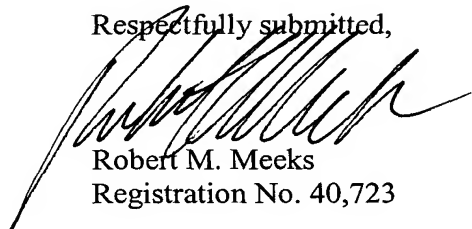
SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

10-2002-0054904, filed September 11, 2002.

Respectfully submitted,

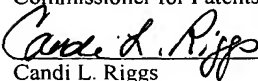


Robert M. Meeks
Registration No. 40,723

USPTO Customer No. 20792
Myers Bigel Sibley & Sajovec
Post Office Box 37428
Raleigh, North Carolina 27627
Telephone: 919/854-1400
Facsimile: 919/854-1401

"Express Mail" mailing label number EV 318420810 US
Date of Deposit: August 22, 2003

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to Mail Stop Patent Application, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.



Candi L. Riggs

Date of Signature: August 22, 2003

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0054904
Application Number

출원년월일 : 2002년 09월 11일
Date of Application SEP 11, 2002

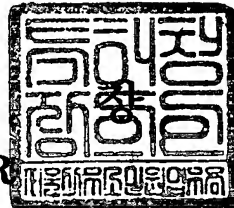
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 04 월 10 일

특 허 청

COMMISSIONER





1020020054904

출력 일자: 2003/4/11

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.09.11
【발명의 명칭】	미소 전압차를 감지하는 감지증폭기 및 감지 증폭 방법
【발명의 영문명칭】	SENSE AMPLIFIER FOR SENSING A SMALL VOLTAGE DIFFERENCE AND SENSING METHOD FOR THE SMALL VOLTAGE DIFFERENCE
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	정기태
【성명의 영문표기】	JEONG,GI TAE
【주민등록번호】	650904-1148213
【우편번호】	135-230
【주소】	서울특별시 강남구 일원동 우성7차아파트 112동 302호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	4 면 4,000 원

1020020054904

출력 일자: 2003/4/11

【우선권주장료】	0	건	0	원
【심사청구료】	11	항	461,000	원
【합계】	494,000			원
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】**【요약】**

감지증폭기가 비트 라인들 사이에 나타나는 증폭된 전압차를 감지증폭한다. 비트 라인들 사이에 나타나는 미소 전압차를 용량성 커플링을 이용하여 증폭한 후 상기 감지 증폭기를 활성화시킨다. 상기 비트 라인들 및 감지증폭기를 전기적으로 결합하는 비트 라인 격리 트랜지스터들을 턴-온하여 상기 한 쌍의 비트 라인들에 상기 미소 전압차가 나타나게 한 후 상기 비트 라인 격리 트랜지스터들을 턴-오프하여 상기 비트 라인 격리 트랜지스터와 비트 라인 사이에 용량성 커플링을 발생시킨다. 이에 따라 비트 라인 사이의 전압차가 증폭된다.

【대표도】

도 2

【색인어】

감지증폭기, 비트 라인

【명세서】

【발명의 명칭】

미소 전압차를 감지하는 감지증폭기 및 감지 증폭 방법{SENSE AMPLIFIER FOR SENSING A SMALL VOLTAGE DIFFERENCE AND SENSING METHOD FOR THE SMALL VOLTAGE DIFFERENCE}

【도면의 간단한 설명】

도1은 통상적인 감지증폭기에 대한 등가회로도이다.

도2는 본 발명에 따른 감지증폭기를 개략적으로 도시한 등가 회로도이다.

도3은 MOS 캐패시터의 전압-캐패시턴스 특성 곡선이다.

도4는 본 발명의 일 실시예에 따른 감지증폭기를 개략적으로 도시한 회로도이다.

도5a 및 도5b는 도4의 비트 라인 격리 트랜지스터 및 비트 라인 사이의 용량성 커플링을 보여주는 등가회로도이다.

도6은 본 발명에 따른 감지증폭기의 감지증폭 동작 특성을 나타내는 타이밍도이다.

도7a 및 도7b는 본 발명의 감지증폭방법에서 비트 라인 격리 트랜지스터의 턴-온 및 턴-오프 전후의 비트 라인 및 비트바 라인에 나타나는 전압차를 보여주는 그래프이다

* 도면의 주요 부분에 대한 부호의 설명

100: 메모리 셀 어레이 200: 감지증폭기

204a, 204b: 비트 라인 격리 트랜지스터 206a, 206b: 모스 캐패시터

202: 감지증폭부

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <12> 본 발명은 반도체 기억 소자의 감지증폭기 및 감지증폭 방법에 관한 것으로서, 더욱 상세하게는 미소 전압차를 감지할 수 있는 감지증폭기 및 감지증폭방법에 관한 것이다.
- <13> 반도체 기억 소자를 구성하는 단위 기억 셀은 이진 데이터를 저장하는 저장수단(디램의 경우, 캐패시터), 이에 접근하기 위한 워드 라인과 데이터 입출력을 위한 비트 라인으로 구성된다. 기억 셀에서 비트 라인에 실리는 데이터(판독 신호)를 충분한 크기로 증폭하여 확실한 이진 논리신호로 변환하기 위해서 감지증폭기가 사용된다.
- <14> 통상적으로, 기억 셀에 저장된 데이터를 독출하기 위해서는, 먼저 한 쌍의 비트 라인들(즉, 비트 라인 및 비트바 라인)이 동일한 전압으로 균등화된다. 특정 기억 셀에 저장된 데이터가, 예컨대, 비트 라인에 커플링되고, 이에 따라 비트 라인 및 비트바 라인 사이에 미소 전압차가 나타난다. 감지증폭기가 비트 라인 쌍에 나타나는 미소 전압차를 감지하고 이를 증폭하여 확실한 이진 논리신호로 변환한다.
- <15> 도1은 통상적인 감지증폭기(10)에 대한 등가회로도이다. 비트 라인 BL 및 비트바 라인 /BL 이 감지증폭기(10)에 연결되어 감지증폭기(10)의 두 입력단들 SI 및 /SI 을 구성한다. 비트 라인 BL 및 비트바 라인 /BL 사이의 신호차이 즉, 두 입력단들 사이의 전압차 ΔV (약 25~30mV 정도) 를 감지증폭기(10)가 감지한 후 이를 증폭하여 확실한 이진 논리신호로 변환하여 출력단들 SO 및 /SO 에서 출력한다. 통상적으로 엔모스 트랜지스터

와 피모스 트랜지스터를 사용하여 감지증폭기를 형성한다. 하지만 최소선폭이 작아지면 서 감지증폭기의 크기도 작아지고 이에 따라 감지증폭기의 성능이 공정 변화에 매우 민감해진다. 예컨대, 감지증폭기를 구성하는 트랜지스터를 3000Å 정도의 채널 길이를 가지도록 만들 경우, 게이트 치수(dimension)가 150Å 만 변해도 트랜지스터의 문턱전압(threshold voltage) 차이가 30mV 정도가 되며, 엔모스 트랜지스터 및 피모스 트랜지스터 모두 문턱전압이 바뀌게 된다. 따라서, 이 경우 감지증폭기는 30mV 이하의 전압차를 감지할 수 없다. 즉, 비트 라인 BL 및 비트바 라인 /BL 사이의 전압차 ΔV 가 30mV 이하가 되면 감지증폭기가 이를 감지할 수 없게된다.

<16> 따라서, 통상적인 감지증폭기를 사용하는 경우, 반도체 기억소자의 고집적화는 매우 어렵게되며, 또한 감지증폭기 성능이 공정 변화에 매우 민감하게된다.

【발명이 이루고자 하는 기술적 과제】

<17> 따라서, 이상에서 언급한 문제점을 해결하기 위해 본 발명이 제안되었으며, 본 발명이 이루고자 하는 기술적 과제는 공정 변화에도 매우 안정적으로 동작하는 감지증폭기 및 이를 이용한 감지증폭 방법을 제공하는 것이다.

<18> 또 상기 감지증폭기를 사용하는 반도체 기억 소자를 제공하는 데 본 발명의 다른 목적이 있다.

【발명의 구성 및 작용】

<19> 상기 기술적 과제들을 달성하기 위한 본 발명의 감지증폭기는 전압 의존 캐패시터를 포함하는 것을 특징으로 한다. 상기 전압 의존 캐패시터는 한 쌍의 비트 라인 격리 트랜지스터들 및 상기 감지증폭기의 입력단들 사이에 개재한다. 상기 한 쌍의 비트 라인

격리 트랜지스터들은 비트 라인 및 비트바 라인에 실리는 데이터를 상기 감지증폭기의 입력단들에 전달한다.

<20> 구체적으로, 상기 기술적 과제들을 달성하기 위한 본 발명의 감지증폭기는, 제1비트 라인 및 제2비트 라인을 각각 두 부분으로 격리하는 한 쌍의 비트 라인 격리 트랜지스터들, 일단은 상기 비트 라인 격리 트랜지스터의 소오스가 연결된 비트 라인에 연결되고 타단은 접지된 한 쌍의 전압 의존성 캐패시터들, 상기 한 쌍의 전압 의존성 캐패시터들의 일단들이 연결된 비트 라인들에 연결되어 상기 한 쌍의 전압 의존성 캐패시터들 사이의 전압차를 감지증폭하는 감지증폭부를 포함한다.

<21> 일 실시예에 있어서, 상기 전압 의존성 캐패시터들 각각은, 서로 전기적으로 연결되고 접지된 소오스 및 드레인, 그리고 상기 비트 라인 격리 트랜지스터의 소오스에 연결된 폴리실리콘 게이트로 이루어진 MOS 캐패시터인것이 바람직하다. 이때, 상기 비트 라인 격리 트랜지스터들이 턴-온되면, 상기 한 쌍의 캐패시터들은 제1전압차를 나타내고, 턴-온된 상기 비트 라인 격리 트랜지스터들이 턴-오프되면, 상기 비트 라인 격리 트랜지스터의 게이트 및 소오스 사이의 기생 캐패시터에 의한 용량성 결합으로 인해 상기 한 쌍의 전압 의존성 캐패시터는 상기 제1전압차보다 큰 제2전압차를 나타낸다.

<22> 더 구체적으로, 상기 감지증폭부는, 제1엔모스 트랜지스터 및 제2엔모스 트랜지스터를 포함하는 제1감지증폭부를 포함한다. 상기 엔모스 트랜지스터들의 소오스들은 서로 연결되고 드레인들은 상기 제1비트 라인 및 상기 제2비트 라인에 연결되고 게이트들은 상기 제2비트 라인 및 상기 제1비트 라인에 연결된다. 또 상기 감지증폭부는 제1피모스 트랜지스터 및 제2피모스 트랜지스터를 포함하는 제2감지증폭부를 포함한다. 상기 피모

스 트랜지스터들의 소오스들은 서로 연결되고 드레인들은 제1비트 라인 및 제2비트 라인에 연결되고 게이트들은 제2비트 라인 및 제1비트 라인에 연결된다.

<23> 이때, 상기 비트 라인 격리 트랜지스터들이 턴-오프된 이후에, 상기 제1감지증폭부를 활성화시키는 제1감지증폭부 제어신호는 논리 로우에서 논리 하이 상태로 천이하며, 상기 제2감지증폭부를 활성화시키는 제2감지증폭부 제어신호는 논리 하이 상태에서 논리 로우 상태로 천이한다.

<24> 워드 라인 구동신호는 비트 라인 격리 트랜지스터들이 턴-온 될 때, 활성화 되고, 감지증폭부 제어신호의 상태가 천이된 후 불활성화 된다.

<25> 상기 제1감지증폭부 제어신호는, 상기 제1감지증폭부의 소오스에 연결된 드레인, 접지된 소오스 및 게이트로 구성된 엔모스 트랜지스터의 게이트에 인가되고, 상기 제2감지증폭부 제어신호는, 상기 제2증폭부의 소오스에 연결된 드레인, 전원전압에 결합된 소오스 및 게이트로 구성된 피모스 트랜지스터의 게이트에 인가된다.

<26> 따라서, 이와 같은 감지증폭기에 따르면, 워드 라인 구동신호가 활성화되어, 기억 셀 어레이의 특정 셀이 활성화되면, 전하 공유(charge sharing)에 의해 상기 제1비트 라인(예컨대, 비트 라인) 및 제2비트 라인(예컨대, 비트바 라인) 사이에 미소 전압차가 나타난다. 상기 비트 라인 격리 트랜지스터들이 턴-온 되면 비트 라인들 및 감지증폭기 사이에 신호 통로가 형성된다. 턴-온된 비트 라인 트랜지스터들이 턴-오프되면, 용량성 커플링에 의해 상기 미소 전압차보다 훨씬 큰 전압차가 한 쌍의 비트 라인들 사이에 나타나게 된다. 이어서 상기 감지증폭기가 활성화되어 상기 큰 전압차를 감지하여 이를 증폭한다.

- <27> 상기 기술적 과제들을 달성하기 위한 감지증폭 방법은, 한 쌍의 비트 라인들 및 감지증폭기를 전기적으로 격리하는 한 쌍의 비트 라인 격리 트랜지스터들을 턴-온하여 상기 한 쌍의 비트 라인들 사이에 미소 전압차가 나타나게 하고, 상기 턴-온된 비트 라인 격리 트랜지스터들을 턴-오프하여 상기 한 쌍의 비트 라인들 사이에 상기 미소 전압차보다 큰 증폭된 전압차를 나타나게 하고, 상기 감지증폭기를 활성화시켜 상기 증폭된 전압차를 감지한다.
- <28> 상기 방법에서, 상기 턴-온된 비트 라인 격리 트랜지스터들을 턴-오프하면, 상기 비트 라인 격리 트랜지스터들과 비트 라인들 사이의 용량성 커플링에 의해 상기 한 쌍의 비트 라인들 및 접지전극 사이에 연결된 한 쌍의 전압 의존성 캐패시터들의 캐패시턴스가 변하고 이에 따라 상기 한 쌍의 비트 라인들 사이에 상기 증폭된 전압차가 나타난다.
- <29> 상기 기술적 과제들을 달성하기 위한 감지증폭 방법은, 한 쌍의 비트 라인들 사이에 제1전압차를 발생하는 단계와, 상기 한 쌍의 비트 라인들 사이에 상기 제1전압차보다 큰 제2전압차를 발생하는 단계와, 감지증폭기를 활성화 시키는 단계와, 상기 제2전압차를 감지증폭하는 단계를 포함한다.
- <30> 상기 방법에서, 상기 제1전압차는 상기 한 쌍의 비트 라인들 및 감지증폭기를 전기적으로 격리하는 한 쌍의 비트 라인 격리 트랜지스터들을 턴-온하여 발생되고, 상기 제2전압차는 상기 턴-온된 트랜치 격리 트랜지스터들을 턴-오프하여 발생된다.
- <31> 이하에서는 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예에 대하여 상세히 설명을 한다. 도2는 본 발명의 바람직한 실시예에 따른 반도체 메모리 장치를 개략적으로 도시한 회로도이다. 반도체 메모리 장치는 다수의 메모리 셀들이 규칙적으로 배열된 셀 어레이(100), 상기 셀 어레이의 특정 셀에 저장된 데이터를 감지증폭하는 감지증폭기

(200)을 포함한다. 본 발명에 대한 명확한 이해를 위해서 셀 어레이(100)에 단지 하나의 메모리 셀 Mcell 만을 도시하였다. 메모리 셀 Mcell 각각은 정보, 즉, 전하를 저장하는 셀 캐패시터 Ccell 및 상기 셀 캐패시터 Ccell에 접근하기 위한 접근 트랜지스터 Tr를 포함한다. 상기 접근 트랜지스터 Tr의 게이트는 워드라인 WL에 전기적으로 접속하고(또는 게이트 자체가 워드라인으로 작용하고) 드레인은 비트 라인 BL에 전기적으로 접속하고 소오스는 상기 셀 캐패시터 Ccell에 전기적으로 접속한다. 워드라인 WL은 상기 셀 캐패시터 Ccell를 선택하여 활성화하는 신호선이고, 비트 라인 BL은 상기 셀 캐패시터 Ccell의 데이터를 입출력할 수 있는 데이터선이다.

<32> 한편 감지증폭기(200)는 감지증폭부(202)를 포함한다. 감지증폭부(202)는 두 입력단 SI, /SI에 나타나는 전압차 ΔV 를 감지하고 이를 증폭하여 확실한 이진 논리신호로 변환하여 출력단들 SO 및 /SO 에서 출력한다. 감지증폭기(200)의 일 입력은 메모리 셀 어레이의 특정 메모리 셀 Ccell에 연결된 비트 라인 BL2이고 다른 하나는 비트바 라인 /BL2이다.

<33> 본 발명의 바람직한 실시예에 따르면, 감지증폭기(200)는 비트 라인 격리 트랜지스터들 ISO_Tr1(204a), ISO_Tr2(204b) 및 전압 의존성 캐패시터들 C1(206a), C2(206b)을 더 포함한다. 비트 라인 BL은 비트 라인 격리 트랜지스터 ISO_Tr1(204a)에 의해 두 부분 BL1 및 BL2으로 격리된다. 비트 라인 BL2에 전압 의존성 캐패시터 C1(206a) 및 감지증폭기(202)의 일단(SI)이 연결된다. 마찬가지로, 비트바 라인 /BL은 비트 라인 격리 트랜지스터 ISO_Tr2(204b)에 의해 두 부분 /BL1 및 /BL2으로 격리된다. 비트바 라인 /BL2에 전압 의존성 캐패시터 C2(206b) 및 감지증폭부(202)의 타단(/SI)이 연결된다. 바람직하게, 상기 전압 의존성 캐패시터(C1,C2)는 소오스 및 드레인이 접지된 MOS 캐패시터이다. MOS

캐패시터는 도3에 도시된 바와 같이 전압(V)에 따라 캐패시턴스(C)가 변한다. 예컨대, 전압 구간 $V_a \sim V_b$ 에서는 전압에 반비례하여 캐패시턴스(C)가 변한다.

<34> 본 발명에 따르면, 비트 라인 격리 트랜지스터(204a)와 감지증폭부(202)의 입력단을 구성하는 비트 라인(BL2) 사이에 그리고 비트 라인 격리 트랜지스터(204b)와 비트바 라인(/BL2) 사이에 용량성 커플링이 발생한다. 따라서 비트 라인 격리 트랜지스터가 턴-온 및 턴-오프되면 용량성 커플링에 의해 캐패시터들 C1, C2의 캐패시턴스가 변하게 된다. 결국, 캐패시터들 C1 및 C2의 전압차 $|V_1 - V_2|$, 즉, ΔV 가 변하게 된다. 전압 의존성 캐패시터 C1, C2가 전압에 반비례하여 캐패시턴스가 변하기 때문에, 비트 라인 격리 트랜지스터들 ISO_Tr1, ISO_Tr2을 턴-온 한 후 턴-오프하면 초기 전압차 ΔV 보다 훨씬 큰 전압차를 얻을 수 있다.

<35> 즉, 비트 라인 BL 및 비트바 라인 /BL에 동일한 프리차지 전압이 인가되고 워드라인 구동신호가 활성화되면 메모리 셀 어레이로부터 특정 셀 Mcell 이 선택되고 선택된 셀 Mcell 및 비트 라인 BL 사이에 전하 공유(charge sharing)이 일어난다. 이어서 비트 라인 격리 트랜지스터들이 턴-온되면, 감지증폭부(202) 두 입력단인 비트 라인 BL2 및 비트바 라인 /BL2 사이, 즉 두 캐패시터들 사이에 미소 전압차 ΔV 가 발생한다.

<36> 이어서, 비트 라인 격리 트랜지스터들(204a, 204b)이 턴-오프 되면, 전압 의존성 용량성 커플링에 의해 MOS 캐패시터(206a, 206b) 전압이 변하게 된다. 이때, MOS 캐패시터(206a, 206b)의 캐패시턴스가 전압에 반비례하여 변하기 때문에, 트랜지스터들(204a, 204b)이 턴-오프된 이후의 MOS 캐패시터들의 전압차 ΔV 는 초기 미소 전압차 ΔV 보다 증가하게 된다. 전압차의 변화 정도는 용량성 커플링의 정도에 따라 결정된다. 용

량성 커패시터 정도가 클 수록 전압차 변화가 크기때문에, 용량성 커패시터는 가능한 큰 것이 바람직하다.

<37> 이어서 감지증폭부(202)를 활성화시키면, 큰 전압차를 갖는 신호가 감지증폭부(202)에 입력되어 감지증폭부(202)가 매우 안정적으로 동작할 수 있게된다. 감지증폭부(202)가 활성화된 후 워드 라인 구동신호는 비활성화 된다.

<38> 도4는 도2의 감지증폭기(200)에 대한 상세 회로도이다. 도4를 참조하여, 비트 라인 격리 트랜지스터 ISO_Tr1, ISO_Tr2는 분리 신호, 즉 턴-온 전압 V_G 에 의해 온/오프되어 비트 라인 BL을 비트 라인 B1 및 비트 라인 B2 부분으로, 비트바 라인 /BL을 비트바 라인 /B1 및 비트바 라인 /B2 부분으로 격리시킨다. 전압 의존성 캐패시터(206a,206b)는 소오스 및 드레인이 접지된 MOS 캐패시터이다. 비트 라인 격리 트랜지스터들(204a, 204b)의 드레인이 각각 비트 라인 BL 및 비트바 라인 /BL의 B1 및 /B1 부분에 연결되고, 소오스는 전압 의존성 MOS 캐패시터(206a,206b)의 게이트에 연결된다. 전압 의존성 캐패시터(206a,206b)의 게이트가 비트 라인 쌍의 B2 및 /B2 부분에 연결되어 감지증폭부(202)의 입력단이 된다.

<39> 감지증폭부(202)는 엔모스 감지증폭부(202a) 및 피모스 감지증폭부(202b)로 구성된다. 엔모스 감지증폭부(202a)는 각각의 소오스가 연결된 두 개의 엔모스 트랜지스터 DN1, DN2로 구성된다. 엔모스 트랜지스터 DN1의 드레인은 비트 라인 B2부분에, 게이트는 비트 라인 /B2부분에 연결된다. 한편 엔모스 트랜지스터 DN2의 드레인은 비트 라인 /B2부분에 게이트는 비트 라인 B2부분에 연결된다. 또 상기 엔모스 감지증폭부(202a)의 공통 소오스 및 접지 전극 사이에 연결된 활성화 엔모스 트랜지스터 AN3를 통해서 엔모스 감지증폭부 활성화 신호 LANG가 인가된다.

- <40> 피모스 감지증폭부(202b)는 각각의 소오스가 연결된 두 개의 피모스 트랜지스터 DP1, DP2로 구성된다. 피모스 트랜지스터 DP1의 드레인은 비트 라인 B2부분에, 게이트는 비트 라인 /B2부분에 연결된다. 한편 피모스 트랜지스터 PN2의 드레인은 비트 라인 /B2부분에 게이트는 비트 라인 B2부분에 연결된다. 또 상기 피모스 감지증폭부(202b)의 공통 소오스 및 전원전압(V_{DD}) 사이에 연결된 활성화 피모스 트랜지스터 AP3를 통해서 피모스 감지증폭부 활성화 신호 LAPG가 인가된다.
- <41> 피모스 감지증폭부(202b)의 피모스 트랜지스터 DP1, DP2이 감지증폭기의 출력단 SO 및 /SO이 된다.
- <42> 도5a 및 도5b는 비트 라인 격리 트랜지스터(204a, 204b) 및 비트 라인(BL2, /BL2) 사이의 용량성 커플링을 보여주는 등가회로도이다.
- <43> 도5a는 비트 라인 격리 트랜지스터(204a) 및 비트 라인 B2 부분 사이의 용량성 커플링을 보여주고, 도5b는 비트 라인 격리 트랜지스터(204b) 및 비트 라인 /B2 부분 사이의 용량성 커플링을 보여준다. 비트 라인 격리 트랜지스터(204a)의 게이트와 소오스 사이에 기생 캐패시터 C_{p1} 이 나타나고, 마찬가지로 비트 라인 격리 트랜지스터(204b)의 게이트와 소오스 사이에 기생 캐패시터 C_{p2} 가 나타난다. 따라서, 턴-온 전압 V_G 에 의해 턴-온된 비트 라인 격리 트랜지스터(204a, 204b)가 턴-오프되면, 턴-온 전압 V_G (게이트 전압)가 커플링되어 비트 라인 BL2, /BL2에 나타나게된다. 따라서, MOS 캐패시터(C_1 , C_2)의 전압 V_1 및 V_2 가 변하게 된다. 이때, MOS 캐패시터의 캐패시턴스는 전압에 의존하고 반비례하기 때문에, 턴-온시의 초기 전압차 ΔV 보다 증폭된 전압차 $\Delta V'$ 가 나타나게 된다.
- <44> 도6은 도4의 감지증폭기의 감지증폭 동작 특성을 나타내는 타이밍도이다.

- <45> 도4 및 도6를 참조하여 본 발명에 따른 감지증폭 방법에 대하여 설명을 한다.
- <46> 먼저, 비트 라인 BL 및 비트바 라인 /BL이 일정 전압 V_{BLP} 으로 프리차지된다. 워드라인 구동신호 WLE 가 활성화 되고 분리 신호 V_G 가 활성화되어 비트 라인 격리 트랜지스터(204a, 204b)가 t1시점에서 턴-온되면, 전하 공유로 인해 감지증폭부(202) 두 입력단 비트 라인들 BL2 및 /BL2 사이에(즉, 전압 의존성 캐패시터 사이에) 미소 전압차 ΔV 가 나타난다. 이 전압차는 통상적으로 약 25mV ~ 30mV 정도이다. t2 시점에 비트 라인 격리 트랜지스터(204a, 204b)가 턴-오프되면, 비트 라인 격리 트랜지스터 및 비트 라인 B2 및 /B2 부분 사이에 용량성 커플링이 발생한다. 이에 따라, 초기 미소 전압차 ΔV 보다 훨씬 큰 증폭된 전압차 $\Delta V'$ 가 감지증폭부 두 입력단 비트 라인들 BL2 및 /BL2(즉, SI 및 /SI) 사이에(캐패시터 전압 사이)에 나타나게 된다(t2 ~ t3 구간).
- <47> t3시점에서 엔모스 감지증폭부(202a) 및 피모스 감지증폭부(202b)를 각각 활성화시키는 제어신호 LANG 및 LAPG가 활성화된다. 즉, 제어신호 LAPG는 t3시점에서 논리 상태가 논리 로우 에서 하이로 바뀌고 제어신호 LANG는 논리 하이에서 논리 로우로 바뀐다. 이에 따라 각 감지증폭부들이 활성화되어 증폭된 전압차 $\Delta V'$ 를 감지하여 이를 증폭한다. 감지증폭부들이 활성화된 이후에 워드 라인 구동신호가 비활성화 된다.
- <48> 도7a 및 도7b는 본 발명에 따라 비트 라인 격리 트랜지스터의 턴-온 및 턴-오프 전후의 비트 라인 및 비트바 라인에 나타나는 전압, 즉, 감지증폭부에 인가되는 전압차를 보여주는 그래프이다.
- <49> 도7a는 감지증폭부가 이상적이라고 가정했을 때 시뮬레이션 결과이고, 도7b는 감지증폭부의 트랜지스터의 게이트 치수가 5% 차이를 나타낸다고 가정했을 때 시뮬레이션 결과이다. 시뮬레이션에서 트랜지스터 동작전압(V_{cc})은 2V로 하였다. 도면들에서 실선은

비트 라인을 나타내고 점선은 비트바 라인을 나타내며, 가로축은 시간을 세로축은 비트 라인 및 비트바 라인에 나타나는 전압을 나타낸다.

<50> 도7a을 참조하면, 시간 10nsec 에서 비트 라인 격리 트랜지스터가 턴-온되면, 전하 공유에 의해 비트 라인 및 비트바 라인 사이의 전압차가 점점 증가하면서 시간 20nsec 에서 초기 전압차 ΔV (약 25mV)를 나타낸다. 시간 약20nsec 에서 비트 라인 격리 트랜지스터를 턴-오프하면, 용량성 결합에 의해, 약 87.5mV의 증폭된 전압차($\Delta V'$)가 시간 20nsec ~ 30nsec 동안에 나타남을 알 수 있다.

<51> 도7b를 참조하면, 비트 라인 격리 트랜지스터 턴-오프후 초기 25mV의 전압차가 증폭되어 약 62.5mV가 됨을 알 수 있다. 따라서 고집적화에 따라 감지증폭기의 게이트 치수에 변이가 발생하더라도, 초기 미소 전압차가 증폭되기 때문에, 감지증폭기가 감지할 수 있다.

<52> 이제까지 본 발명에 대하여 그 바람직한 실시예(들)를 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할수 있을 것이다. 그러므로 본 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

【발명의 효과】

<53> 이상에서 설명한 본 발명에 따르면, 비트 라인 격리 트랜지스터를 턴-오프 하여 미소한 감지 신호를 증폭한 후 감지증폭기가 활성화 되어 증폭된 감지 신호를 감지증폭한다.

<54> 이에 따라 공정변화에 의해 게이트 치수의 변이가 발생하더라도 감지증폭기가 감지 동작을 수행할 수 있어 본 발명에 따른 감지증폭기는 고집적화에 매우 적합하다. 또한 감지 신호가 작은 소자, 예컨대, 자기 저항 기억 소자(MRAM)에 매우 적합하다.

【특허청구범위】**【청구항 1】**

제1비트 라인 및 제2비트 라인을 각각 두 부분으로 격리하는 한 쌍의 비트 라인 격리 트랜지스터들;

일단은 상기 비트 라인 격리 트랜지스터의 소오스가 연결된 비트 라인에 연결되고 타단은 접지된 한 쌍의 전압 의존성 캐패시터들;

상기 한 쌍의 전압 의존성 캐패시터들의 일단들이 연결된 비트 라인들에 연결되어 상기 한 쌍의 전압 의존성 캐패시터들 사이의 전압차를 감지증폭하는 감지증폭부를 포함하는 감지증폭기.

【청구항 2】

제1항에 있어서,

상기 전압 의존성 캐패시터들 각각은, 서로 전기적으로 연결되고 접지된 소오스 및 드레인, 그리고 상기 비트 라인 격리 트랜지스터의 소오스에 연결된 폴리실리콘 게이트로 이루어진 MOS 캐패시터인 감지증폭기.

【청구항 3】

제2항에 있어서,

상기 비트 라인 격리 트랜지스터들이 턴-온되면, 상기 한 쌍의 캐패시터들은 제1 전압차를 나타내고,

턴-온된 상기 비트 라인 격리 트랜지스터들이 턴-오프되면, 상기 비트 라인 격리 트랜지스터의 게이트 및 소오스 사이의 기생 캐패시터에 의한 용량성 결합으로 인해 상

기 한 쌍의 전압 의존성 캐패시터는 상기 제1전압차보다 큰 제2전압차를 나타내는 감지 증폭기.

【청구항 4】

제1항에 있어서,

상기 감지증폭부는:

소오스들은 서로 연결되고 드레인들은 상기 제1비트 라인 및 상기 제2비트 라인에 연결되고 게이트들은 상기 제2비트 라인 및 상기 제1비트 라인에 연결된 제1엔모스 트랜지스터 및 제2엔모스 트랜지스터를 포함하는 제1감지증폭부와;

소오스들은 서로 연결되고 드레인들은 제1비트 라인 및 제2비트 라인에 연결되고 게이트들은 제2비트 라인 및 제1비트 라인에 연결된 제1엔모스 트랜지스터 및 제2엔모스 트랜지스터를 포함하는 제2감지증폭부를 포함하는 감지증폭기.

【청구항 5】

제4항에 있어서,

상기 비트 라인 격리 트랜지스터들이 턴-오프된 후, 상기 제1감지증폭부를 활성화시키는 제1감지증폭부 제어신호는 논리 로우에서 논리 하이 상태로 천이하며, 상기 제2감지증폭부를 활성화시키는 제2감지증폭부 제어신호는 논리 하이 상태에서 논리 로우 상태로 천이하는 감지증폭기.

【청구항 6】

제5항에 있어서,

상기 제1감지증폭부 제어신호는, 상기 제1감지증폭부의 소오스에 연결된 드레인, 접지된 소오스 및 게이트로 구성된 엔모스 트랜지스터의 게이트에 인가되고,

상기 제2감지증폭부 제어신호는, 상기 제2증폭부의 소오스에 연결된 드레인, 전원 전압에 결합된 소오스 및 게이트로 구성된 피모스 트랜지스터의 게이트에 인가되는 감지 증폭기.

【청구항 7】

한 쌍의 비트 라인들 및 감지증폭기를 전기적으로 격리하는 한 쌍의 비트 라인 격리 트랜지스터들을 턴-온하여 상기 한 쌍의 비트 라인들에 미소 전압차가 나타나게 하고,

상기 턴-온된 비트 라인 격리 트랜지스터들을 턴-오프하여 상기 한 쌍의 비트 라인들에 상기 미소 전압차보다 큰 증폭된 전압차를 나타나게 하고,

상기 감지증폭기를 활성화시켜 상기 증폭된 전압차를 감지하는 감지증폭 방법.

【청구항 8】

제7항에서,

상기 턴-온된 비트 라인 격리 트랜지스터들을 턴-오프하면, 상기 비트 라인 격리 트랜지스터들과 비트 라인들 사이의 용량성 커플링에 의해 상기 한 쌍의 비트 라인들 및 접지전극 사이에 연결된 한 쌍의 전압 의존성 캐패시터들의 캐패시턴스가 변하고 이에 따라 상기 한 쌍의 비트 라인 사이에 상기 증폭된 전압차가 나타나는 감지증폭 방법.

【청구항 9】

제8항에 있어서,

상기 전압 의존성 캐패시터들 각각은 상기 비트 라인 및 접지전극 사이에 연결된 MOS 캐패시터인 감지증폭 방법.

【청구항 10】

한 쌍의 비트 라인들에 제1전압차를 발생하는 단계;

상기 한 쌍의 비트 라인들에 상기 제1전압차보다 큰 제2전압차를 발생하는 단계;

감지증폭기를 활성화 시키는 단계;

상기 제2전압차를 감지증폭하는 단계를 포함하는 감지증폭 방법.

【청구항 11】

제10항에 있어서,

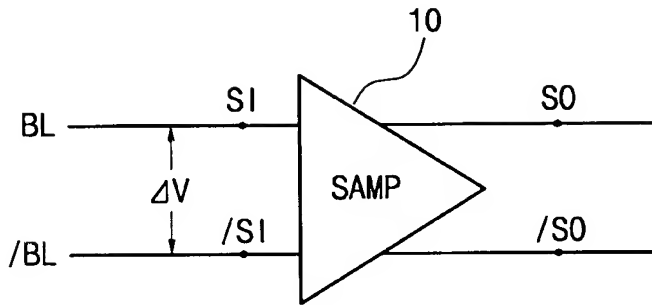
상기 제1전압차는 상기 한 쌍의 비트 라인들 및 감지증폭기를 전기적으로 격리하는 한 쌍의 비트 라인 격리 트랜지스터들을 턴-온하여 발생되고,

상기 제2전압차는 상기 턴-온된 트랜치 격리 트랜지스터들을 턴-오프하여 발생하는 감지증폭 방법.

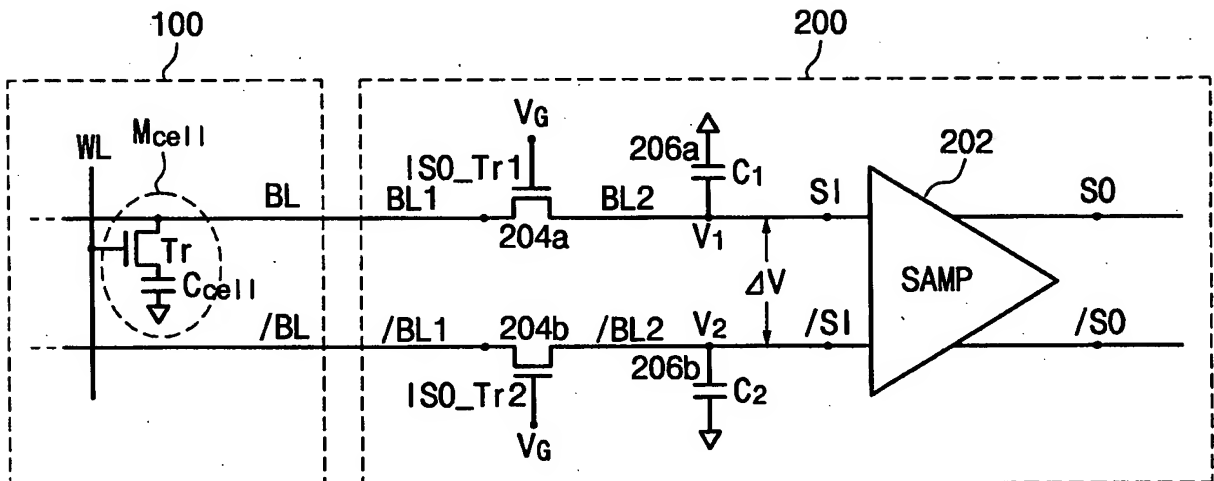
【도면】

【도 1】

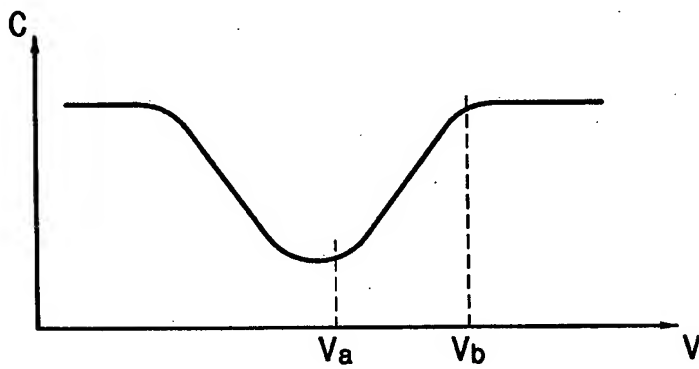
(종래 기술)



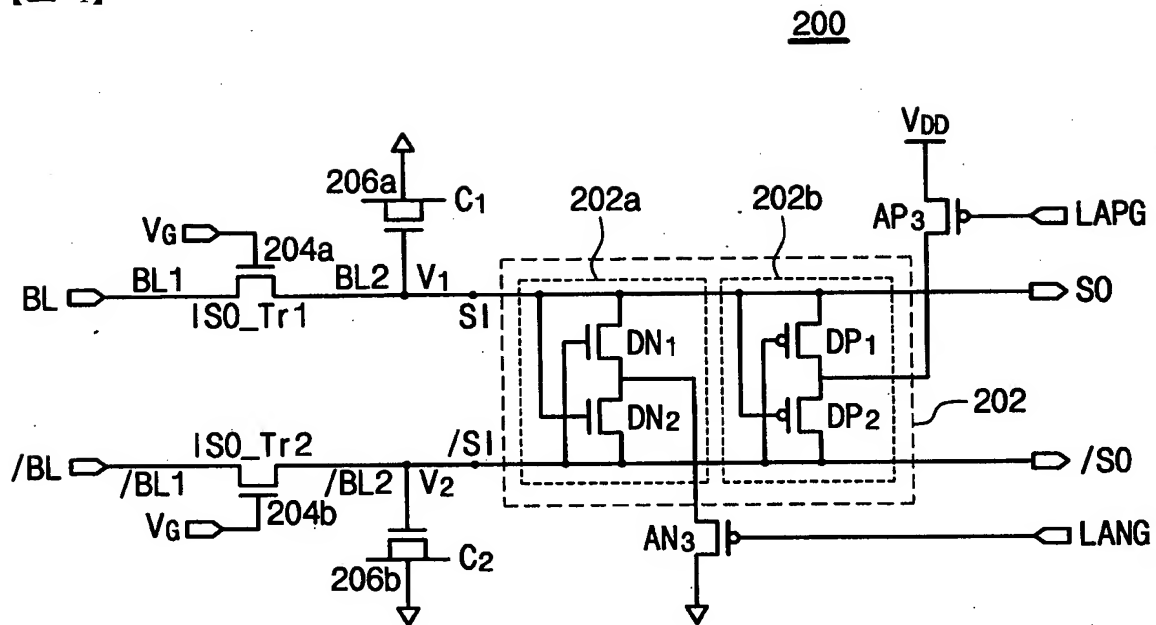
【도 2】



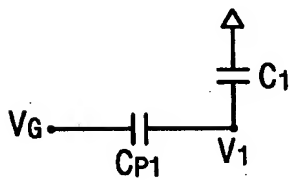
【도 3】



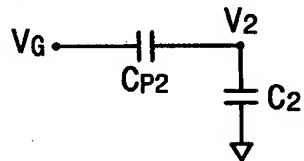
【도 4】



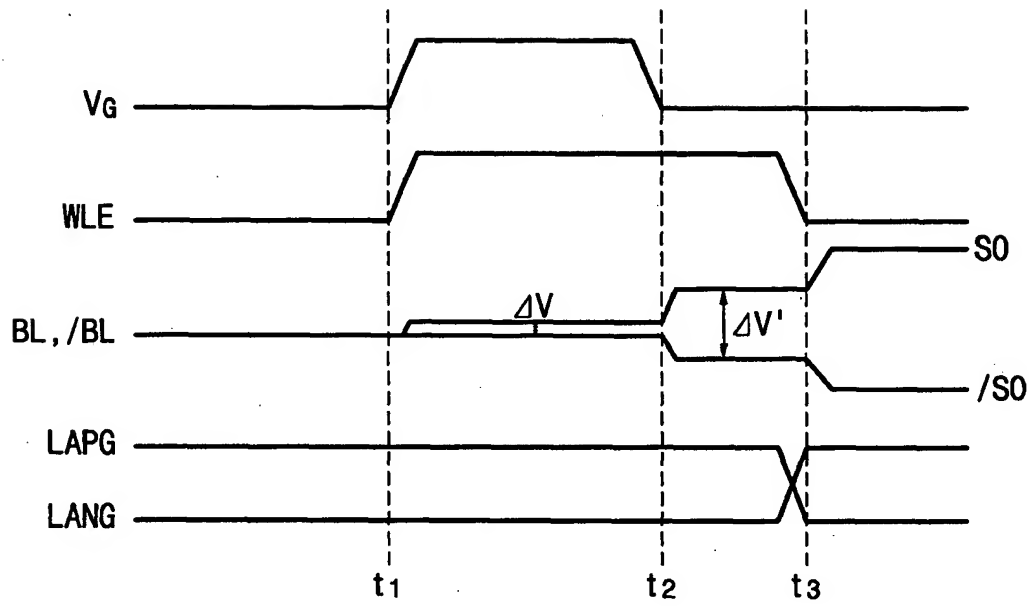
【도 5a】



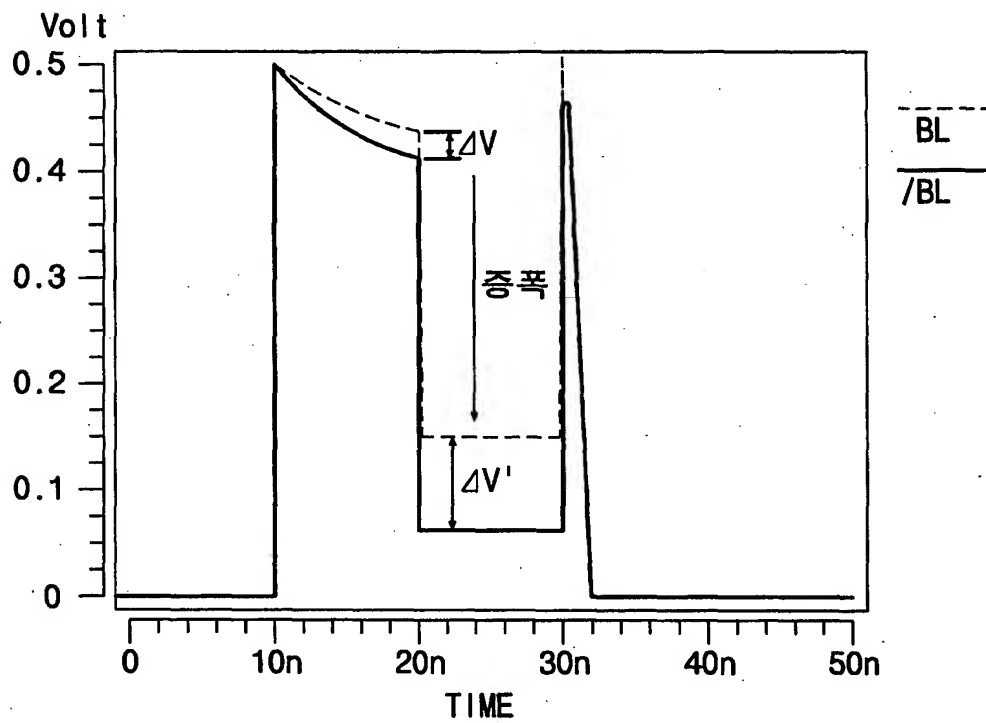
【도 5b】



【도 6】



【도 7a】



【도 7b】

